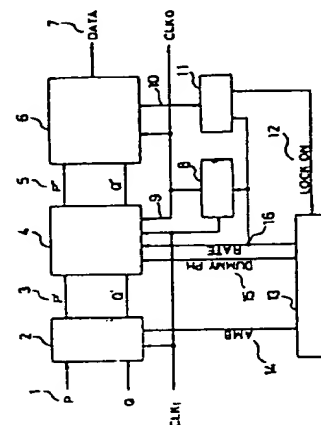


**(54) VITERBI DECODER**

(11) 4-335718 (A) (43) 24.11.1992 (19) JP  
 (21) Appl. No. 3-135837 (22) 10.5.1991  
 (71) MITSUBISHI ELECTRIC CORP (72) YOSHITOMO SAKADO  
 (51) Int. Cl.<sup>5</sup> H03M13/12, H04L27/22

**PURPOSE:** To revise a code rate automatically in response to the revision of the coding rate of a convolution encoder at a transmission side.

**CONSTITUTION:** A reception data subjected to phase modulation is decoded at a decoder section 6 according to the viterbi decoding system. A phase rotation section 2 eliminating the phase uncertainty of a data and a dummy data inserting section 4 inserting a dummy data according to a punctured coding system are provided on the upstream side of the decoder. A control section 13 controls all the setting operating mode so that it is sequentially setting-changed according to a predetermined order entirely independent of the operating mode until synchronization is taken by decoding section 6.



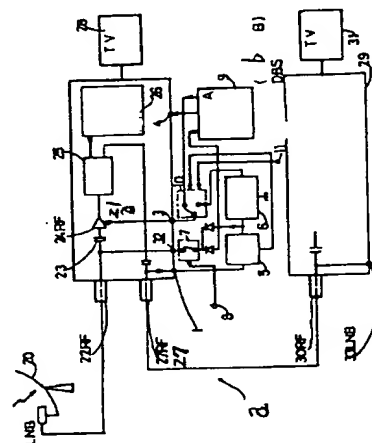
8: clock generating section. 11: synchronizing detection section

**(54) TUNER FOR SATELLITE BROADCAST RECEPTION AND RECEPTION SYSTEM**

(11) 4-335719 (A) (43) 24.11.1992 (19) JP  
 (21) Appl. No. 3-135636 (22) 10.5.1991  
 (71) SHARP CORP (72) MAKOTO HORI  
 (51) Int. Cl.<sup>5</sup> H04B1/16, H04B1/18, H04N5/44, H04N7/20

**PURPOSE:** To lead out an RF output distributed from a tuner for satellite broadcast with a distributor even when the power supply of the tuner is interrupted.

**CONSTITUTION:** An RF input signal from an LNB led from an RF signal input terminal 22 is amplified by an RF amplifier 24 for distribution loss correction in a 1st tuner 21 and a distributor 25 divides the amplified input signal into a 1st signal and a 2nd signal. The 1st signal is led to the post-stage of a signal processing circuit 26 and the 2nd signal is led to an RF distribution output terminal 27. While the 2nd signal is processed by a 2nd satellite broadcast tuner 29, a voltage produced at the RF distribution output terminal 27 is detected. Even when the 1st satellite broadcast tuner 21 is interrupted, a voltage used for driving an LNB is fed from a stabilized power supply circuit 6 to the RF signal input terminal 22 of the 1st satellite broadcast tuner 21 and the driving voltage is also fed to the RF amplifier 24.



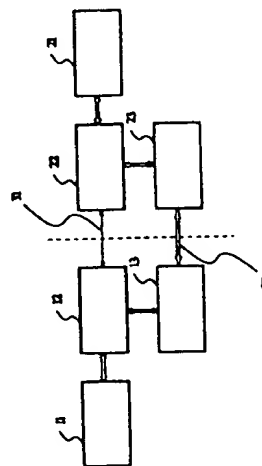
5: voltage detection, 8: detection terminal, 9: supply source for tuner A, 26: signal processing circuit at post stage of tuner, 28, 31: TV monitor, 29: tuner, 30: RF input terminal, 33: LNB power supply terminal, a: coaxial cable, b: (tuner B) DBS tuner

**(54) MODEM TRANSMISSION LEVEL SETTING METHOD**

(11) 4-335720 (A) (43) 24.11.1992 (19) JP  
 (21) Appl. No. 3-106192 (22) 13.5.1991  
 (71) NEC FIELD SERVICE LTD (72) SHINJI AMARI  
 (51) Int. Cl.<sup>5</sup> H04B3/04

**PURPOSE:** To reduce man-hour at the time of setting the transmission level of a MODEM.

**CONSTITUTION:** A carrier is sent from a MODEM 12 to a MODEM 22 at a 1st transmission level. The reception level of a carrier received by the MODEM 22 is measured and a 2nd transmission level is set to a transmission level for the MODEM 12 so that the reception level of the MODEM 22 reaches a predetermined level. Then the carrier is sent at a 2nd transmission level from the MODEM 22 to the MODEM 12, the reception level of the carrier received by the MODEM 12 is measured and a 3rd transmission level is set to a transmission level for the MODEM 22 so that reception level of the MODEM 12 reaches a predetermined level.



11: data processing unit, 13, 23: processor, 21: data processor, 31: transmission line, 32: telephone circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-335718

(43) 公開日 平成4年(1992)11月24日

(51) Int.Cl.<sup>5</sup>

H 0 3 M 13/12

H 0 4 L 27/22

識別記号

庁内整理番号

7259-5J

A 7240-5K

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 9 頁)

(21) 出願番号 特願平3-135837

(22) 出願日 平成3年(1991)5月10日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 坂戸 美朝

兵庫県尼崎市塚口本町8丁目1番1号 三

菱電機株式会社通信機製作所内

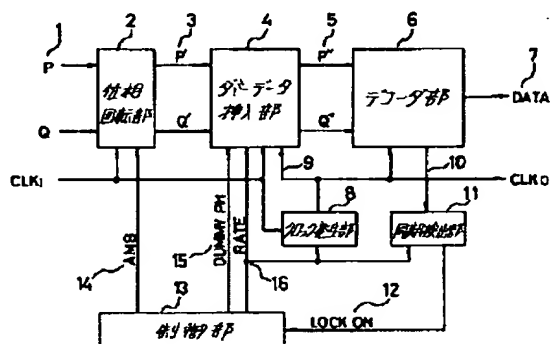
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 ビタビ復号器

(57) 【要約】

【目的】 送信側での畳み込み符号化器の符号化率変更に応じ自動的に符号化率を変更する。

【構成】 位相変調された受信データを、ビタビ復号方式に従いデコーダ部6において復号するために、データの位相不確定性を除去する位相回転部2およびバンクチャード符号化方式に従いダミーデータを挿入するダミーデータ挿入部4を上記デコーダ部6において同期がとれるまで、それまでの動作モードとは全く無関係にあらかじめ決められた順序に従い、総ての設定動作モードを順次設定変更するように制御する制御部13を備えた。



## 【特許請求の範囲】

【請求項1】 入力するPおよびQのデータの位相不確定を除く位相回転部と、該位相回転部出力のデータに対しバンクチャード符号化方式に従いダミーデータを挿入するダミーデータ挿入部と、該ダミーデータ挿入部出力よりビタビ復号方式に従いデータの復号を行うデコーダ部と、該デコーダ部からの同期検出用情報を入力しデコーダ部の同期を検出する同期検出部と、上記ダミーデータ挿入部およびデコーダ部へ送出するクロックを入力クロックより生成するクロック発生部とを備えたビタビ復号器において、上記同期検出部から同期検出情報が入力されるまで、それまでの動作モードとは無関係にあら

かじめ決められた順序に従い、上記各部に対して総ての設定動作モードを順次設定変更するよう制御する制御部とを備えたことを特徴とするビタビ復号器。

【請求項2】 上記制御部は、上記デコーダ部の同期が検出されていた状態での各部への設定動作モードをあらかじめ記憶しておき、同期はずれ検出後一定時間はこの記憶された設定モードに応じて、ある特定の設定モードから総ての動作モードを順次設定変更するよう制御する

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、ビタビ復号器に関し、特に送信側での畳み込み符号化器の符号化率変更に応じ自動的に符号化率を変更することが可能なビタビ復号器に関するものである。

## 【0002】

【従来の技術】 図4は畳み込み符号化器およびビタビ復号器を用いたデジタル通信の構成系統図を示す図であり、図において、18および19は送信側20を構成する畳み込み符号化器および変調器である。22および23は受信側24を構成する復調器およびビタビ復号器である。

【0003】 次にデジタル衛星通信の概要について説明する。送信側20において、畳み込み符号化器18により畳み込み符号化し、符号化したデータを削減（バンクチャード方式）し、PSK変調器等のデジタル通信用変調器19により変調し、伝送路21を經由して受信側24で受信する。該受信側24では、復調器22により上記PSK変調された信号を復調し、さらにビタビ復号器23において、位相不確定除去、ダミーデータ挿入等によるデータの復号を行い、誤り訂正復号し、データとして出力する。

【0004】 このビタビ復号器23の誤り訂正復号とは、復調した信号を一定数だけ蓄積し、次に受信された信号で得られる図5(c)に示したような出力信号の組合せ（状態遷移）を考え、最も正しいと思われる状態を推定する（最尤復号法）。この最尤復号法を実現するアルゴリズムとしてViterbi アルゴリズムがあり、ソフトデ

ィシジョン、即ち“0”または“1”という判定ではなく、“0”と“1”の間をいくつかに分割し、精度を高めた判定法を用いることにより大きな符号化利得を得るものである。

【0005】 次にデジタル衛星通信を構成する上記各部の機能について説明する。まず送信側20の畳み込み符号化器18について、特に本発明の対象となるバンクチャード畳み込み符号について簡単に説明する。

【0006】 図5(a)は図4に示す畳み込み符号器18の一例として拘束長3 ( $K=3$ )、符号化率  $1/2$  ( $R=1/2$ ) の畳み込み符号化器を示す。

【0007】 上記拘束長 ( $K$ ) とは、出力の符号ビットに影響を与える入力情報ビット数であり、シフトレジスタの段数のことを意味する。また、この符号化率によると入力データ1ビットごとに2ビットずつデータが出力されるので、2倍のデータの伝送が必要となることも意味している。

【0008】 次に動作について説明する。入力されたデータは各レジスタa～cに記憶され、過去3ビットのデータの特定のビットを用いてmod 2の加算を行う2種の加算器よりPおよびQの2種のデータが出力される。例えば、各レジスタa～cの値が $i_1 \sim i_3$ とすると、 $P = i_1 + i_2 + i_3$ 、 $Q = i_1 + i_3$ である。図5(b)は各レジスタの状態遷移に対しての出力信号(P, Q)の状態遷移を示す。このような符号器の出力の組合せは図5(c)のようになる。同図では初期状態として総てのシフトレジスタの値が“0”であると仮定し、3ビット情報入力により出力信号の総ての組合せが得られている。即ち、現在の出力信号は2ビット前の出力信号と密接に関係しており、前の出力状態によってその次の入力ビットが“0”または“1”であってもとりえない出力信号が存在する。例えば、出力対(1, 1)のあとには(1, 0)または(0, 1)の出力対のみが可能であり、(1, 1)または(0, 0)はありえない信号対となる。

【0009】 また畳み込み符号化器18においては、上述したように入力データ1ビットごとに2ビットずつデータが出力されるので、2倍のデータの伝送が必要となり、データを伝送する場合には符号化データを削減することも考えられる。

【0010】 次に、この符号化データの削減（バンクチャード）の方法について説明する。例えば図8(a)～(f)は一例として $R=3/4$ のバンクチャード符号化方法を示す。図8(a)は畳み込み符号化されたPおよびQデータの時系列の変化を示し、図8(b)はバンクチャード符号化のための削除するビット位置を“0”で示し、図8(b)に従いバンクチャード化され並べ換えられた畳み込み符号を図8(c)に示す。この方法により伝送する情報は、畳み込み符号化器18の入力の $4/3$ 倍（2倍 $\times 2/3$ 倍）にまで削減される。削減されたデータは変

調器19により変調され、受信側24へ送信される。

【0011】次に受信側24のビタビ復号器23について説明する。図6は図4に示すビタビ復号器23の一例として従来の手動により符号化率が可変なビタビ復号器の構成を示す図であり、ここでは符号化率が $R=1/2$ と $R=3/4$ に可変な場合を例にとって説明する。図において、1は入力データおよびクロック(P, Q, CLK1)、2は位相回転部、3は位相回転部出力データ、4はダミーデータ挿入部、5はダミーデータ挿入部4の出力データ、6はデコーダ部、7は出力データ、8はクロック発生部、9はクロック発生部8で生成された出力クロック、10はデコーダ部からの同期検出判定用情報、11は同期検出部、12は同期検出信号(LOCK ON)、13は図7に示す制御を行う制御部、14は位相回転制御信号(AMB)、15はダミーデータ挿入位相制御信号(DUMMY PH)、17は符号化率に応じ各部を制御するために外部より設定される符号化率制御信号(RATE)である。

【0012】次に動作について説明する。ビタビ復号器23では、主に位相回転部2による位相不確定性の除去と、送信側20で削減(バンクチャード符号化)されたデータを元に戻すためのダミーデータ挿入部4によるダミーデータ挿入と、デコーダ部6によるビタビ復号との動作がある。

【0013】まず、位相回転部2の位相不確定性の除去について説明する。送信側20では図9(a)に示す破線の4つの状態のうち、いずれかの状態で変調位相しデータを送信する。受信側24では上記のようなPSK信号を同期検波によって復調器22により復調する場合、復調されたデジタル符号がPSK信号のどの変調位相を示しているか、一義的には決まらない。この位相不確定性を取り除くためにビタビ復号器23の位相回転部2に入力データP, Q, CLK1を位相回転部2に入力し、制御部13からの位相回転制御信号(以下AMBCONTと称す)14に応じて位相不確定性を除去する。その方法としては、PSK信号系列中の既知の符号構成を用いる方法、例えばTDMAにおけるユニークワードやインテルサットSCPCにおけるSOMを用いる方法がある。この方法は送信側20で挿入された既知の符号パターンが受信側24で正しく復調されるように符号変換を施すものである。ここで送信符号(p, q)の4相PSK信号を同期検波する場合を例にとると、再生基準搬送波ベクトルは、図9(a)に示された4つの状態のうちの1つをとり、これに応じて同図(b)に示される受信符号が得られる。既知のパターンによってこの4つのうちのどの状態が受信されたかが分かれば、同図(c)の符号変換によって送信符号と一致させることができる。

【0014】次にダミーデータ挿入部4によるダミーデータ挿入について説明する。位相不確定性が除去されたデータ3はダミーデータ挿入部4に入力される。例えば

符号化率が $R=1/2$ の場合は、最低2ビットずつの組合せにより送受信されるので、ダミーデータ挿入は不要のためダミーデータ挿入部4はバイパスされる。次に、例えば符号化率が $R=3/4$ の場合は、図7(d)に示す通りバンクチャード符号化により削除されたビット位置にダミーデータが挿入される。この場合バンクチャード符号位相を図7(e)に示す通り誤って認識すると同図に示す通り原符号aとは異なった符号となり、デコーダ部6で正しい復号が行えなくなるため制御部13からのダミーデータ挿入位相制御信号(以下DUMMY PHと称す)15により正しい挿入位相となるように制御される。ダミーデータ挿入部4の出力データはデコーダ部6によりビタビ復号され復号データ7が出力される。

【0015】また符号化率が $R=3/4$ の場合は入力データ1に対しダミーデータが付加されるため、ダミーデータ挿入部4の入出力のクロック速度が異なるので、入力クロックより出力クロックがクロック発生部8において生成される。また符号化率が $R=1/2$ の場合は上記入出力クロックは同一のためクロック発生部8からは入力クロックと同一クロックが出力クロックとして生成される。

【0016】ビタビ復号のデコーダ部6の動作については本発明の本質部分ではないため省略する(V. K. BHARGAVA et. al著 塚本 訳「最新デジタル衛星通信」ジャテック出版の12. 5章「viterbi 復号器の構成」参照)。

【0017】また上記デコーダ部6においては位相回転部2およびダミーデータ挿入部4において正しい方法にてデータへの処理がなされた時のみデコーダ部6が正しく復号できる。この正しい復号が行われているかどうかはデコーダ部6からの同期判定信号10を用いて同期検出部11において判定され、同期検出時は同期検出信号(以下LOCK ONと称す)12が出力される。

【0018】同期検出のためのしきい値は一般に符号化率により異なるため符号化率制御信号(以後RATEと称す)12に応じて、このしきい値が変更される。

【0019】制御部13においてはLOCK ON12の信号よりデコーダ部6の同期、非同期を認識し非同期時は図7(a)~(b)に示す手順により同期するまでAMBCONT14およびDUMMY PH15をAMBCONT14とDUMMY PH15の全組み合わせについて順次変化させ各部への設定を繰り返す。非同期時における制御部13の上記手順を、まず符号化率 $R=1/2$ の場合について図7(a)に沿って説明する。

【0020】ここで位相回転モードAMBについて、例えば(0, 0), (1, 1)をAMB=0モードとし、(0, 1), (1, 0)をAMB=1モードとする。

【0021】またダミービット挿入モードPHについて、先行データの組合せに挿入するものをPH=0モードとし、後続するデータの組合せに挿入するものをPH

=0モードとする。

【0022】まず、同期判定を行い( $S_1$ )、同期がとれていれば( $S_2$ )、デコーダ部6に入力し、同期がとれていなければ( $S_3$ )、位相回転モードAMB=0として( $S_4$ )、同期をとり( $S_5$ )、同期がとれば( $S_6$ )、上記同様デコーダ部6に入力する。同期がとれていなければ( $S_7$ )、位相回転モードAMB=1として( $S_8$ )、同期判定を行う( $S_9$ )。判定がとれば( $S_{10}$ )、上記同様デコーダ部6に入力し、判定がとれていなければ、再度、位相回転モードAMB=0から同期を取り直す( $S_{11}$ )。なお、符号化率 $R=1/2$ の場合はダミーデータを挿入する必要はない。

【0023】次に符号化率 $R=3/4$ の場合について制御部13の動作を図7(b)に沿って説明する。まず、同期判定を行い( $S_1$ )、同期がとれていれば( $S_2$ )、デコーダ部6に入力し、同期がとれていなければ( $S_3$ )、ダミーデータ挿入モードPH=0として( $S_4$ )、位相回転モードAMB=0として( $S_5$ )、同期をとり( $S_6$ )、同期がとれば( $S_7$ )、上記同様デコーダ部6に入力する。同期がとれていなければ( $S_8$ )、位相回転モードAMB=1として( $S_9$ )、同期判定を行う( $S_{10}$ )。同期がとれば( $S_{11}$ )、上記同様デコーダ部6に入力する。同期がとれていなければ( $S_{12}$ )、次にダミーデータ挿入モードPH=0の正誤性を判定する( $S_{13}$ )。ダミーデータ挿入モードPH=0でなければ、再度ダミーデータ挿入モードPH=0から同期を取り直す( $S_{14}$ )。ダミーデータ挿入モードPH=0であれば( $S_{15}$ )、再度ダミーデータ挿入モードPH=1として位相回転モードAMB=0から再度同期を取り直す( $S_{16}$ )。

【0024】

【発明が解決しようとする課題】従来のビタビ復号器は以上のように構成されているので、符号化率を送信側で変更した場合、その変更に応じて手でビタビ復号器の符号化率を変更しなければならないという問題点があった。

【0025】この発明は上記のような問題点を解決するためになされたもので、送信側で符号化率を変更した場合には、自動的に符号化率を変更するビタビ復号器を得ることを目的としている。

【0026】

【課題を解決するための手段】この発明に係る符号化率自動可変ビタビ復号器は、同期検出部から同期検出情報が入力されるまで、それまでの動作モードとは全く無関係にあらかじめ決められた順序に従い、上記各部に対して総ての設定動作モードを順次設定変更するようにしたものである。

【0027】またデコーダ部の同期が検出されていた状態での各部への設定動作モードをあらかじめ記憶しておき、同期はずれ検出後一定時間はこの記憶された設定モ

ードに応じて、ある特定の設定モードから総ての動作モードを順次設定変更するようにしたものである。

【0028】

【作用】この発明においては、同期検出部より送出されるデコーダ部の同期検出信号を用いて、デコーダ部の同期はずれを検出した場合、同期検出がなされるまで、符号化率変更を含むビタビ復号器内の動作モードの設定変更を行い自動的に再同期を達成することができる。

【0029】またデコーダ部の同期が検出されていた状態での各部への設定動作モードをあらかじめ記憶することにより、再度同期するまでの時間を短縮することができる。

【0030】

【実施例】以下、この発明の一実施例を図について説明する。図1は本発明の第1の実施例による符号化率可変ビタビ復号器の構成を示す。図において、1~15は図4と同一部分は同一名称、番号を付与しており説明を省略する。16は符号化率に応じ各部を制御するため制御部13より出力される符号化率制御信号(以後RATEと称す)である。制御部13の動作および符号化率制御信号16が外部からではなく制御部13より出力されていること以外は従来の符号化率可変ビタビ復号器と同一動作であるため説明は省略する。

【0031】図2は制御部13の動作の一実施例を示したものでデコーダ部の同期はずれを検出した場合、それまでの動作モードとは全く無関係に特定の動作モード(例えば符号化率 $R=1/2$ 、位相回転モード“0”、ダミービット挿入モード“0”から同期検出されるまで順次全ての動作モードの組合わせを設定していくものである。ここで、従来例と同様、位相回転モードAMB=0、AMB=1の2種類は、AMB=0は(0, 0)、(1, 1)とし、AMB=1は(0, 1)、(1, 0)とする。

【0032】また、ダミービット挿入モードPH=0、PH=1の2種類は、PH=0は先行するデータの組合せに挿入するとし、PH=1は後続するデータの組合せに挿入するとする。

【0033】また、上記位相回転モードと上記ダミービット挿入モードに加え、新たに符号化率モード $R_s$ を導入する。この符号化率モード $R_s$ は“0”と“1”の2種類あり、符号化率モード $R_s=0$ は符号化率 $R=1/2$ 、符号化率モード $R_s=1$ は符号化率 $R=3/4$ とする。

【0034】まず図2(b)に示す表に従いSTATUS=0( $S_1$ )の各モードは、符号化率モード $R_s=0$ 、即ち符号化率 $R=1/2$ 、ダミービット挿入モードPH=0、即ち2ビットずつのデータの組合せのうち、後のデータP、Qのいずれかに挿入するとし、位相回転モードAMB=0、即ち(0, 0)、(1, 1)とする。この状態において( $S_1$ )、同期判定を行う( $S_2$ )。

【0035】同期がとれていれば(S<sub>10</sub>)、デコーダ部6に入力され、ピタビ復号される。同期がとれていなければ(S<sub>11</sub>)、STATUS=0(S<sub>12</sub>)~STATUS=7(S<sub>13</sub>)まで順次変化させて同図(b)に示す組合せについて同期がとれるまで設定を繰り返す。それでもなお、同期のとれない場合は(S<sub>14</sub>)、STATUSを初期状態、即ちSTATUS=0に戻して(S<sub>15</sub>)、上記同様にSTATUS=0(S<sub>16</sub>)~STATUS=7(S<sub>17</sub>)まで順次変化させて再度同期をとりなおす。

【0036】このように上記第1の実施例では、上記同期検出部11から同期検出情報が入力されるまで、それまでの動作モードとは全く無関係にあらかじめ決められた順序に従い、上記各部に対して総ての設定動作モードを順次設定変更するようにしたので、送信側で符号化率を変更しても、受信側でこの変更に応じ手動により符号化率の変更が不要となり、運用面での自動化が可能となる。

【0037】なお上記実施例では、例えば符号化率R=3/4で動作していたとし、何らかの理由で同期はずれとなった場合には、符号化率R=1/2から再度動作モードが設定されるため再同期するまで時間を要することが考えられる。これに対し、制御部13において同期はずれとなる以前の符号化率(図3ではR'と示す)を記憶しておき、同期はずれ後一定時間内はこの記憶してある符号化率としたまま各部の他の動作モードの全ての組合せを順次設定していく方法もある。この場合でも一定時間後は符号化率を変更し、送信側で符号化率を変更した場合でも再同期を可能としている。

【0038】このような第2の実施例について図3に附して説明する。何らかの理由で同期はずれとなり(S<sub>20</sub>)、制御部13において同期はずれとなる以前の符号化率R'(例えば、R=3/4あるいはR=1/2)として(S<sub>21</sub>)、ある一定時間記憶するようにタイマーをスタートさせる(S<sub>22</sub>)。この状態で、上記ダミービット挿入モードPH=0(S<sub>23</sub>)、上記位相回転モードAMB=0(S<sub>24</sub>)について同期判定を行う(S<sub>25</sub>)。同期がとれていれば(S<sub>26</sub>)、デコーダ部6へ入力され、ピタビ復号される。同期がとれていなければ(S<sub>27</sub>)、上記同様、デコーダ部6へ入力され、ピタビ復号される。同期がとれていなければ(S<sub>28</sub>)、上記ダミービット挿入モードPH=0であるか否かの判定を行う(S<sub>29</sub>)。ダミービット挿入モードPH=0であれば(S<sub>30</sub>)、PH=1とし(S<sub>31</sub>)、再度位相回転モードAMB=0(S<sub>32</sub>)から順次上記動作を繰り返す。ダミービット挿入モードPH=0でなければ(S<sub>33</sub>)、PH=0として(S<sub>34</sub>)タイマー動作を終了しているか否かを判定する(S<sub>35</sub>)。タイマー動作を終了していなければ、上記同様、再度位相回転モードAMB=0(S<sub>36</sub>)

から順次上記動作を繰り返す(S<sub>37</sub>)。タイマー動作を終了していれば(S<sub>38</sub>)、上記符号化率モードR<sub>1</sub>についてR<sub>1</sub>=0、即ちR=1/2であるか否かを判定し(S<sub>39</sub>)、符号化率モードR<sub>1</sub>=0でなければ(S<sub>40</sub>)、R<sub>1</sub>=0とし、この符号化率モードをある一定時間記憶するようにタイマーをスタートさせ(S<sub>41</sub>)、順次上記動作を再度繰り返す行(行)う(S<sub>42</sub>)。符号化率モードR<sub>1</sub>=0であれば(S<sub>43</sub>)、R<sub>1</sub>=0とし、この符号化率モードをある一定時間記憶するようにタイマーをスタートさせ(S<sub>44</sub>)、上記同様に、順次上記動作を再度繰り返す行(行)う(S<sub>45</sub>)。

【0039】このように上記第2の実施例では、デコーダ部6の同期が検出されていた状態での各部への設定動作モードをあらかじめ記憶しておき、同期はずれ検出後一定時間はこの記憶された設定モードに応じて、ある特定の設定モードから総ての動作モードを順次設定変更するようにしたので、送信側で符号化率を変更しても、受信側でこの変更に応じ手動により符号化率の変更が不要となり、運用面での自動化が可能となる。また再同期するまでの時間を短縮することができる。

【0040】なお上記第1ないし第2の実施例では、符号化率R=1/2とR=3/4の場合の自動可変を例にとって説明したが、他の符号化率あるいは3種以上の符号化率可変についても同様の考え方で符号化率自動可変ピタビ復号器が実現でき、上記実施例と同様の効果を奏する。

【0041】

【発明の効果】以上のように、この発明に係る符号化率自動可変ピタビ復号器によれば、同期検出部から同期検出情報が入力されるまで、それまでの動作モードとは全く無関係にあらかじめ決められた順序に従い、上記各部に対して総ての設定動作モードを順次設定変更するようにしたので、送信側で符号化率を変更しても、受信側でこの変更に応じ手動により符号化率の変更が不要となり、運用面での自動化が可能となる効果がある。

【0042】また何らかの理由で同期はずれとなった場合には、デコーダ部の同期が検出されていた状態での各部への設定動作モードをあらかじめ記憶しておき、同期はずれ検出後一定時間はこの記憶された設定モードに応じて、ある特定の設定モードから総ての動作モードを順次設定変更するようにしたので、上記効果に加え、再同期するまでの時間を短縮することもできる効果がある。

【図面の簡単な説明】

【図1】この発明の第1の実施例による符号化率自動可変ピタビ復号器を示す系統図である。

【図2】この発明の第1の実施例による制御部の動作を示す制御フローチャート図である。

【図3】この発明の第2の実施例による制御部の動作を示す制御フローチャート図である。

【図4】従来の符号化率可変ピタビ復号器の構成を示す

構成図である。

【図5】従来の制御部の動作を示す制御フローチャート図である。

【図6】従来の畳み込み符号化器の構成を示す構成図である。

【図7】バンクチャード符号化および復号の際のダミービット挿入方法を示す図である。

【図8】畳み込み符号化器およびビタビ復号器を用いたディジタル通信の構成系統図である。

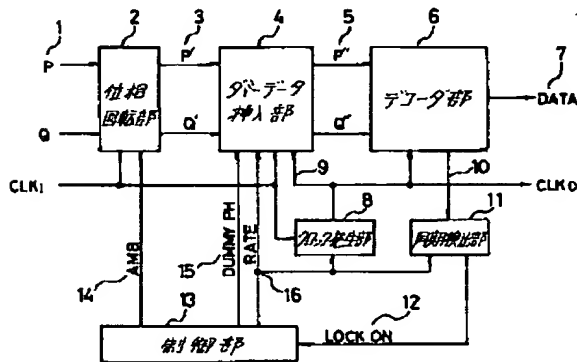
【図9】既知符号パターンによる位相不確定除去の方法を示す説明図である。

【符号の説明】

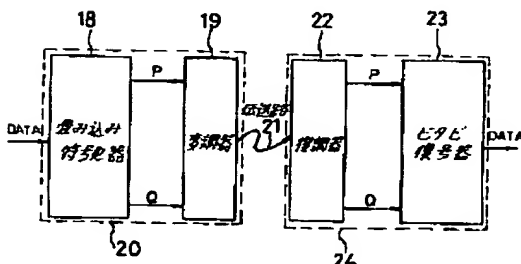
- 1 入力データおよびクロック (P, Q, CLKI)
- 2 位相回転部
- 3 位相回転部出力データ
- 4 ダミーデータ挿入部
- 5 ダミーデータ挿入部出力データ
- 6 デコーダ部
- 7 出力データ

- 8 クロック発生部
- 9 クロック発生部で生成された出力クロック
- 10 デコーダ部からの同期検出判定用情報
- 11 同期検出部
- 12 同期検出信号 (LOCK ON)
- 13 図5に示す制御を行う制御部
- 14 位相回転制御信号 (AMB)
- 15 ダミーデータ挿入位相制御信号 (DUMMY P H)
- 16 制御部13より出力される符号化率制御信号
- 17 外部より設定される符号化率制御信号 (RATE)
- 18 畳み込み符号器
- 19 変調器
- 20 送信側
- 21 伝送路
- 22 復調器
- 23 ビタビ復号器
- 24 受信側

【図1】



【図4】

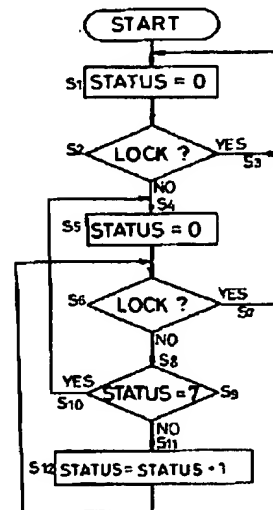


20:送信側

24:受信側

【図2】

(a)



(b)

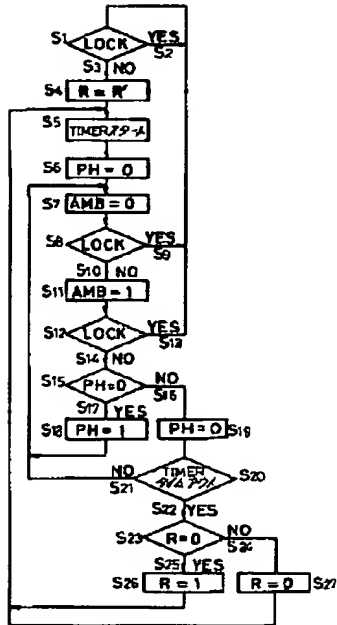
STATUS	R	PH	AMB
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

R: 符号化率 R=0 → R=1/2 R=1 → R=3/4

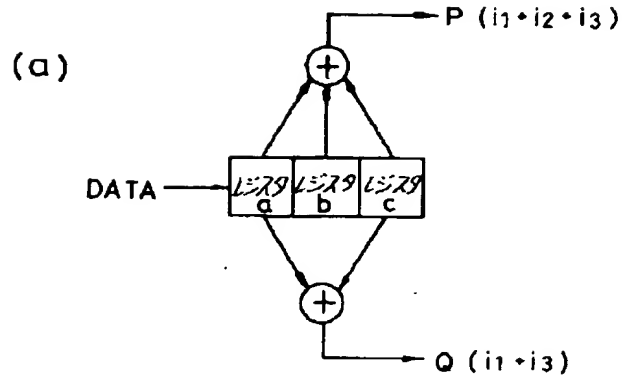
PH: ダミーデータ挿入位相 PH=0, PH=1 の2種あり

AMB: 位相回転位相 AMB=0, AMB=1 の2種あり

【図3】



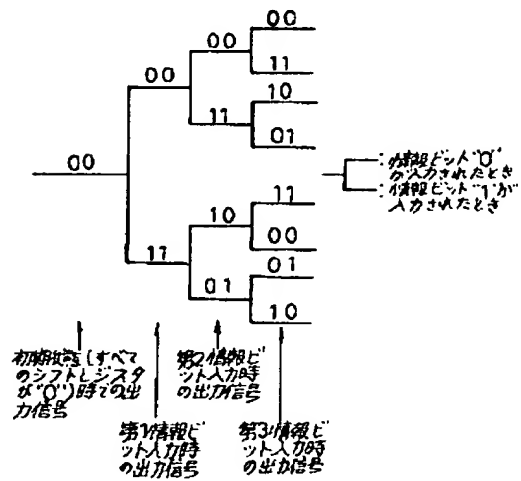
【図5】



(b)

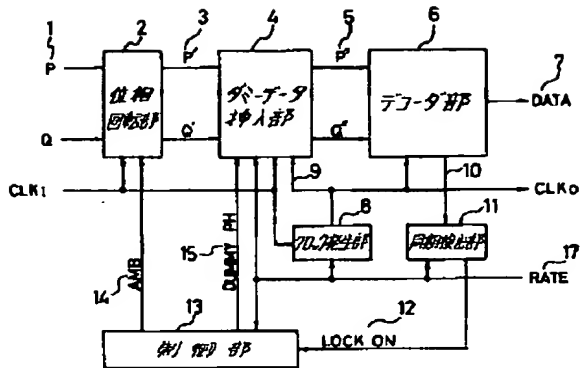
	レジスタ			出力信号
	c	b	a	(P, Q)
0	0	0	0	(0, 0)
1	0	0	1	(1, 1)
2	0	1	0	(1, 0)
3	0	1	1	(0, 1)
4	1	0	0	(1, 1)
5	1	0	1	(0, 0)
6	1	1	0	(0, 1)
7	1	1	1	(1, 0)

(c)

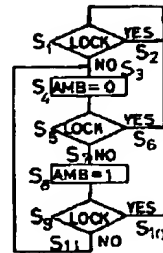
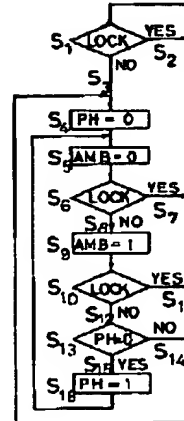




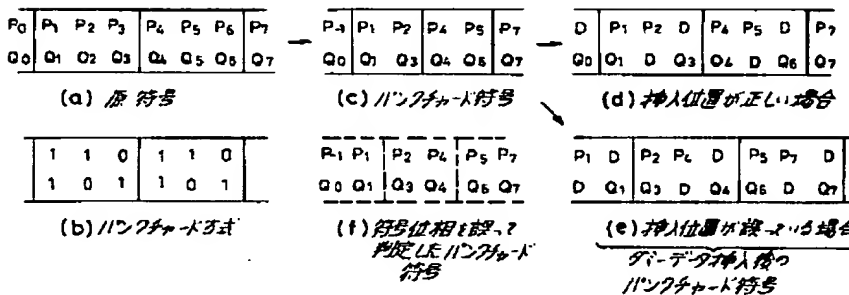
【図6】



【図7】

(a)  $R=1/2$  の場合(b)  $R=3/4$  の場合

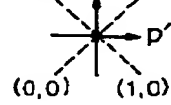
【図8】



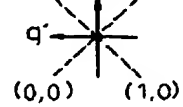
【図9】

(a) 再生搬送波の状態  
(受信搬送波へ  
コントロールを示す)

(0,1)  $q'$  (p,q)=(1,1)



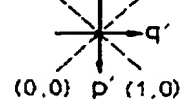
(0,1)  $p'$  (1,1)



(0,1) (1,1)



(0,1) (1,1)



(b) 受信符号  
( $p'$ ,  $q'$ )

$$p' = p$$

$$q' = q$$

$$p' = q$$

$$q' = \bar{p}$$

$$p' = \bar{p}$$

$$q' = \bar{q}$$

$$p' = \bar{q}$$

$$q' = p$$

(c) 符号変換

